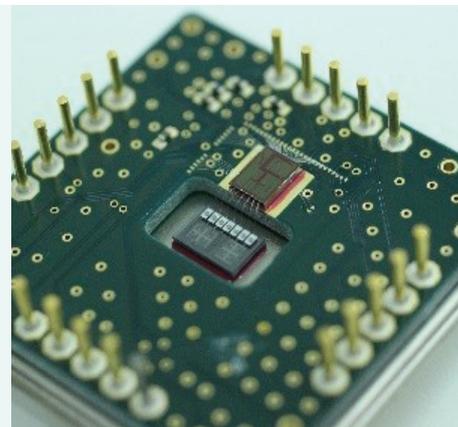
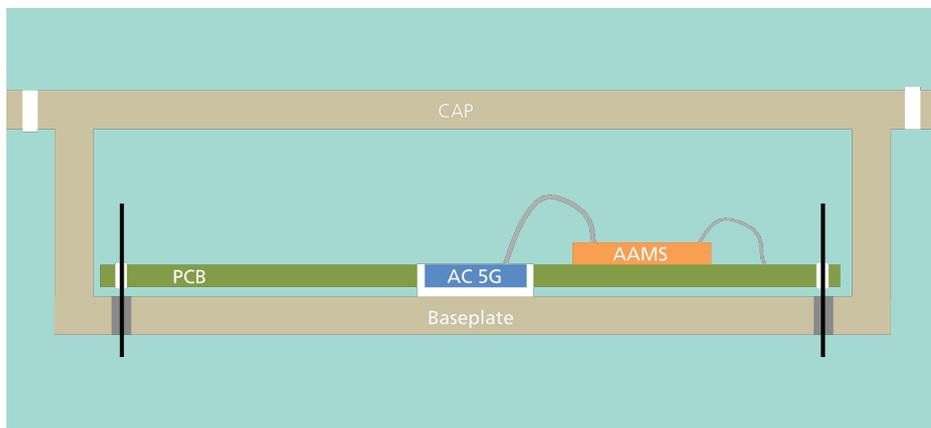


2軸5G加速度計



お問い合わせ

Fraunhofer 研究機構
 エレクトロ・ナノシステム (ENAS)
 Technologie-Campus 3
 09126 Chemnitz | Germany

担当者

Dr. Maik Wiemer
 電話番号: +49 371 45001-233
 電子メール:
 maik.wiemer@enas.fraunhofer.de

Dirk Wünsch
 電話番号: +49 371 45001-262
 電子メール:
 dirk.wuensch@enas.fraunhofer.de

図: 最終的な5G加速度計システムの概略断面図
 および写真
 表: 2軸加速度計システムの仕様

写真提供:

Fraunhofer-ENAS

このデータシートに含まれる全ての情報は、初期段階のものであり、変更されることがあります。また、ここに記載のシステム、材料およびプロセスは、市販の製品ではありません。

デモンストレータとして示すのはMEMSを使用した2軸5G加速度計です。これは、MEMSトランスデューサ、読み出し・制御電子回路 (ASIC)、および受動素子を実装したプリント回路基板で構成されます。部品はすべて、市販する標準パッケージに搭載されています。表1にこの加速度計の主な仕様を示します。

パラメータ	記号	値	単位
測定範囲	±	5	G
帯域幅		500	Hz
分解能		14	ビット
分解能 (14ビットのLSB)		0.3	Mg
動作温度範囲		-40 ~+85	°C
耐衝撃性		50	G
ノイズ		200	$\mu\text{g}/\sqrt{\text{Hz}}$
電源	+	5	V

図1に最終的な5G加速度計の原理を概略的に示します。AC-5GはMEMSトランスデューサ、AAMSはASICを表しています。

5G加速度計は微小電気機械システム (MEMS) として実現されます。このような加速度計システムは大きく2つの部分からなります。

1. 機械的変位を容量変化に変換する微小機械電気トランスデューサ。このプロジェクトでは、Fraunhofer-ENAS独自のBDRIE技法を用いて製造された2軸 (x-y) トランスデューサを使用しています。
2. トランスデューサの読み出し/制御用アナログスイッチドキャパシタモジュール、メモリ/トリムユニットを備えた関連信号処理用デジタルモジュール、およびシリアルペリフェラルインタフェース (SPI) として実装されたインタフェースを搭載したASIC。ASICは、X-FAB社によって同社の「HX018」180 nm技術を用いて製造されます。

完全に機能する加速度計デバイスとするために、上記の両主要部品を以下によって補完します。

- ASICに周辺 (受動) 回路を提供するPCB
- PCBとトランスデューサの両方を搭載し、これらの部品を最終的な加速度計デバイスとしてまとめるパッケージ